

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月26日

出 願 番 号

Application Number:

特願2002-245670

[ST.10/C]:

[JP2002-245670]

出 願 人

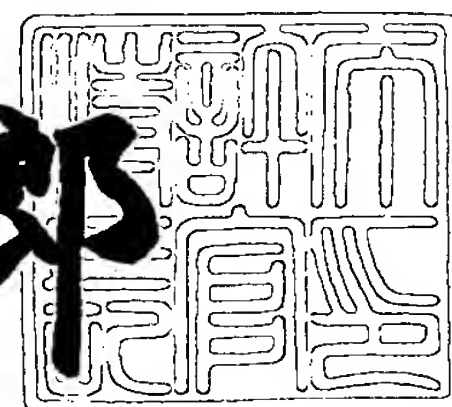
Applicant(s):

松下電器産業株式会社

2003年 5月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3033609

【書類名】 特許願

【整理番号】 R6991

【提出日】 平成14年 8月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3205
H01L 21/304

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 三河 巧

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 夏目 進也

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 十代 勇治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に、第 1 の絶縁層を形成し、前記第 1 の絶縁層中にコンタクトプラグを形成し、前記第 1 の絶縁層とコンタクトプラグの上に、導電層を形成する工程と、

前記導電層をパターニングして、容量素子用電極を形成する工程と、

前記第 1 の絶縁層及び前記容量素子用電極上に第 2 の絶縁層を形成する工程と、

前記容量素子用電極上の前記第 2 の絶縁層に凹部を形成する工程と、

前記第 2 の絶縁層を研磨して平坦化して前記容量素子用電極を露出させる工程とを含むことを特徴とする容量素子の製造方法。

【請求項 2】 前記導電層をパターニングして、容量素子用電極と共に金属配線を形成する工程を含む請求項 1 に記載の容量素子の製造方法。

【請求項 3】 前記第 2 の絶縁層の凹部を、前記容量素子用電極上にのみ形成する請求項 2 に記載の容量素子の製造方法。

【請求項 4】 前記導電層の表面が、Pt、Ir、Ru、それら金属の合金膜、又はそれら金属の酸化物である請求項 1 ～ 3 のいずれかに記載の容量素子の製造方法。

【請求項 5】 前記第 2 の絶縁層に凹部を形成するにあたり、ドライエッチングを用いる請求項 1 ～ 4 のいずれかに記載の容量素子の製造方法。

【請求項 6】 前記第 2 の絶縁層に形成する凹部の深さを前記容量素子用電極の膜厚とほぼ同等とする請求項 1 ～ 5 のいずれかに記載の容量素子の製造方法。

【請求項 7】 前記第 2 の絶縁層に凹部を形成する際に、前記容量素子用電極を露出させる請求項 1 ～ 5 のいずれかに記載の容量素子の製造方法。

【請求項 8】 前記第 2 の絶縁層の凹部におけるテーパ角を 90° 未満とする請求項 1 ～ 5 のいずれかに記載の容量素子の製造方法。

【請求項 9】 前記第 2 の絶縁層を、 SiO_2 を用い、オゾンとTEOSを用いた常圧CVD法で成膜する請求項 1 ～ 8 のいずれかに記載の容量素子の製造方

法。

【請求項 1 0】 前記第 2 の絶縁層における凹部の面積を、その下層の容量素子用電極の面積より大きくする請求項 1 ～ 9 のいずれかに記載の容量素子の製造方法。

【請求項 1 1】 前記第 2 の絶縁層に凹部を形成するにあたり、前記容量素子用電極上の領域が複数個含まれるようにする請求項 1 ～ 8 のいずれかに記載の容量素子の製造方法。

【請求項 1 2】 基板上に形成された下部電極と、前記下部電極上に形成された第 2 の絶縁層と、前記下部電極が容量規定口になるように前記下部電極上に形成された上部電極を有する容量素子であって、

前記下部電極は第 1 の絶縁層中に埋め込まれ、前記下部電極と第 1 の絶縁層の表面は研磨されて平坦化され、前記容量素子を複数個含む容量素子群の面積が 1 0、0 0 0 ～ 1 0 0、0 0 0 μm^2 であることを特徴とする容量素子。

【請求項 1 3】 基板上に形成された下部電極と、前記下部電極上に形成された第 2 の絶縁層と、前記下部電極が容量規定口になるように前記下部電極上に形成された上部電極を有する容量素子であって、

前記下部電極は第 1 の絶縁層中に埋め込まれ、前記下部電極と第 1 の絶縁層の表面は研磨されて平坦化され、前記容量素子を複数個含んだ容量素子群が形成され、隣接する前記容量素子群間の間隔が 1 0 ～ 1 0 0 μm であることを特徴とする容量素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高誘電体又は強誘電体を容量絶縁膜とする容量素子及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

現在、容量素子の一種である強誘電体メモリにおいて、上部電極より下部電極の大きな、いわゆるプレーナ型構造を使用した 1 ～ 6 4 k b i t の容量のものが

量産化されている。そして、上部電極より下部電極の小さな、いわゆるスタック型構造を使用した 2 5 6 k b i t ~ 4 M b i t の大容量のものが開発の中心となっている。このスタック型構造の強誘電体メモリにおいて、集積度の大幅な向上、不揮発性メモリの信頼性の向上に対する期待が高まっている。

【 0 0 0 3 】

従来のスタック型構造の強誘電体メモリでは、例えば、特開 2 0 0 0 - 1 3 8 8 4 9 号公報に開示されているように、下層の凹凸に影響されることなく強誘電体膜を形成するため、CMP (Chemical Mechanical Polishing; 化学機械的研磨法) により、絶縁膜の表面の凹凸を平坦化することで、信頼性の高い強誘電体メモリ及びその製造方法を実現している。

【 0 0 0 4 】

図 1 0 に、従来の強誘電体メモリの製造工程の断面図 (メモリセルアレイ部) を示す。以下、図 1 0 を参照しながら、従来の強誘電体メモリの製造方法について説明する。

【 0 0 0 5 】

まず、図 1 0 (a) に示すように、半導体基板 1 0 上に、分離領域 1 を形成し、分離領域 1 の間に高濃度の不純物拡散層 2 を形成する。そして、分離領域 1 と不純物拡散層 2 の上に、層間絶縁膜 4 を形成し、層間絶縁膜 4 中に不純物拡散層 2 と電氣的に接続したコンタクトプラグ 3 を形成する。さらに、層間絶縁膜 4 とコンタクトプラグ 3 の上に、第 1 の導電膜 5 (窒化チタンバリア層と白金膜の積層体等) を形成する。

【 0 0 0 6 】

次に、第 1 の導電膜 5 上にレジストパターンを形成し、図 1 0 (b) に示すように、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜 5 をパターニングし、コンタクトプラグ 3 上に下部電極 6 を形成する。

【 0 0 0 7 】

次いで、図 1 0 (c) に示すように、下部電極 6 と層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆し、ウエハ全面に埋め込み用の絶縁膜 8 を形成する。続いて、図 1 0 (d) に示すように、CMP により、絶縁膜 8 を研磨してその表面

を平坦化し、さらに、図 1 0 (e) に示すように、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまで研磨する。続いて、図 1 0 (f) に示すように、その上に、容量絶縁膜となる強誘電体膜 9 を形成し、さらにその上に、第 2 の導電膜 2 0 (白金膜等) を形成する。

【 0 0 0 8 】

そして、第 2 の導電膜 2 0 上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 2 の導電膜 2 0 と強誘電体膜 9 をそれぞれパターンニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、保護膜形成工程を経て、強誘電体メモリが完成する。

【 0 0 0 9 】

この強誘電体メモリでは、下部電極 6 の面積がその上層の強誘電体および上部電極の面積よりも小さく、キャパシタの容量は、下部電極 6 で決定されることとなり、図 1 0 (f) において、下部電極 6 が容量規定口となる。ここで、「容量規定口」とは、キャパシタの容量 (面積) を決定する電極を意味する。

【 0 0 1 0 】

また、図 1 0 (f) に示す構造では、強誘電体膜 9 が、下部電極 6 による凹凸がない平坦な面に形成されているため、その膜質が良好なものとなる。

【 0 0 1 1 】

上記した製造工程では、ウエハ全面で下部電極 6 を一様に露出させ、強誘電体メモリの容量特性を変動させる研磨残りをなくすため、規定量より余分に研磨を行う、いわゆるオーバー研磨を行う必要がある。

【 0 0 1 2 】

【発明が解決しようとする課題】

しかし、下部電極 6 の表面には、Pt 等の研磨され難い貴金属系材料が形成されているため、CMP による平坦化によって、下部電極 6 の近傍にリセスが生じ、下部電極 6 が僅かながら凸形状となる。そして、オーバー研磨を行うと、下部電極 6 に研磨応力が集中し、下部電極 6 が剥離したり、下部電極 6 にいわゆるスクラッチが発生することもある。このため、研磨残りがなく、かつ、スクラッ

チが発生しないように、研磨時間を最適化する必要があり、研磨条件の設定の自由度（ウィンドウ）を狭める要因となっていた。

【 0 0 1 3 】

発明者等の検討の結果、このスクラッチは、下部電極 6 が集積したメモリセルアレイ部等の、配線パターン密度の高い領域よりも、むしろ、孤立した金属配線や、寸法マーク、アライメントマーク、重ね合わせマーク等の孤立パターンの、配線パターン密度の低い領域で優先して発生することが発見された。

【 0 0 1 4 】

図 1 1 に、従来の強誘電体メモリの製造工程の断面図（金属配線部）を示す。図 1 1 における（a）～（e）の工程は、図 1 0 における（a）～（e）の工程にそれぞれ対応し、各工程は同時に進行している。

【 0 0 1 5 】

以下、図 1 1 を参照しながら、スクラッチの発生プロセスについて説明する。

【 0 0 1 6 】

まず、図 1 1（a）に示すように、半導体基板 1 0 上に、高濃度の不純物拡散層 2 を形成する。そして、不純物拡散層 2 上に、層間絶縁膜 4 を形成し、層間絶縁膜 4 上に、第 1 の導電膜 5（窒化チタンバリア層と白金膜の積層体等）を形成する。

【 0 0 1 7 】

次に、第 1 の導電膜 5 上にレジストパターンを形成し、図 1 1（b）に示すように、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜 5 をパターンニングし、金属配線 7 を形成する。

【 0 0 1 8 】

次いで、図 1 1（c）に示すように、金属配線 7 と層間絶縁膜 4 をシリコン酸化膜（ SiO_2 ）で被覆し、ウエハ全面に埋め込み用の絶縁膜 8 を形成する。続いて、図 1 1（d）に示すように、CMP により、絶縁膜 8 を研磨してその表面を平坦化する。

【 0 0 1 9 】

この際、下部電極 6 が集積したメモリセルアレイ部等の、配線パターン密度の

高い領域より、孤立した金属配線等の、配線パターン密度の低い領域の方が、研磨される絶縁膜 8 の体積が小さくなるため、研磨速度が相対的に速くなって、段差緩和が促進される。これにより、金属配線 7 の方が下部電極 6 よりも早く絶縁膜 8 から外に露出する。さらに、絶縁膜 8 と下部電極 6 の表面が面一となるまでオーバー研磨する。

【 0 0 2 0 】

このとき、既に露出した金属配線 7 の近傍にリセスが生じ、金属配線 7 が凸形状となる。そして、金属配線 7 に研磨応力が集中し、図 1 1 (e) に示すように、金属配線 7 が剥離する。この剥離した金属配線 7 がスクラッチの原因となり、さらには、金属配線 6 の剥離やスクラッチの発生の連鎖が起こる。なお、このような現象は、メモリセルの密度や、ウエハ上における占有面積の相違によっても生じる。

【 0 0 2 1 】

図 1 2 に、アレイ面積の異なるメモリセルアレイ部をCMPにより研磨した状態を模式的に示す。下部電極 6 の表面を露出させる場合、アレイ面積の大きなメモリセルアレイ部と、小さなメモリセルアレイ部が混在していると、図 1 2 (a) に示すように、アレイ面積の大きなメモリセルアレイ部において、下部電極 6 の表面が露出したとき、図 1 2 (b) に示すように、アレイ面積の小さなメモリセルアレイ部では、下部電極 6 の近傍にリセスが生じ、下部電極 6 が剥離する。

【 0 0 2 2 】

また、図 1 2 (c) に示すように、下部電極 6 が形成されていない領域（以下、周辺回路部という。）においては、下層に下部電極 6 が形成されていない領域における平坦な絶縁膜 8（以下、ベタ膜という。）に対する研磨速度が支配的となり、グローバル段差（ウエハ面における残膜の最大膜厚と最小膜厚の差をいう。）が大きくなる。

【 0 0 2 3 】

以下、アレイ面積が大、小のメモリセルアレイ部、及び周辺回路部における研磨の状態をモデルとして、この現象を定量的に説明する。

【 0 0 2 4 】

図 1 3 のグラフは、研磨時間を横軸に、下部電極（高さ：300 nm）上に形成された、絶縁膜（高さ：400 nm）のCMPによる研磨後の残膜の膜厚を、アレイ面積が大、小のメモリセルアレイ部、及び周辺回路部に分けて、縦軸にとったものである（但し、周辺回路部では、層間絶縁膜 4 上の残膜の膜厚を示す）。これより周辺回路部では、ベタ膜の研磨速度（200 nm/分）で一様に研磨されるのに対し、下層に下部電極 6 が形成された強誘電体メモリセルアレイ部では、段差緩和が促進される部分とベタ膜の研磨速度で研磨される部分から構成されることが判る。

【 0 0 2 5 】

図 1 3 から判るように、全ての下部電極 6 を露出させるためには、研磨時間を、アレイ面積の大きなメモリセルアレイ部における残膜の厚さが 0 nm となる 90 秒（1.5 分）に設定する必要がある。その場合、アレイ面積の小さなメモリセルアレイ部においては、0.5 分オーバー研磨され、下部電極 6 の近傍に 100 nm（ $= 200 \text{ nm/分} \times 0.5 \text{ 分}$ ）のリセスが発生する。これは下部電極 6 の剥離を促す要因となる。一方、周辺回路部では、300 nm（ $= 200 \text{ nm/分} \times 1.5 \text{ 分}$ ）研磨される。したがって、図 1 2 中に示した絶縁膜の残膜の厚さ a、b、c は、それぞれ $a = 300 \text{ nm}$ 、 $b = 200 \text{ nm}$ 、 $c = 100 \text{ nm}$ となり、この場合、グローバル段差は、 $a - c = 200 \text{ nm}$ と計算される。

【 0 0 2 6 】

以上より、アレイ面積が異なるメモリセルアレイ部と周辺回路部が混在すると、段差緩和が促進される領域とベタ膜の研磨速度で研磨される領域が存在し、ウエハ全面で研磨速度が不均一となり、この結果、グローバル段差が大きくなり、研磨残りの解消とスクラッチの発生阻止の両立が困難となることが判る。上述した研磨残り、下部電極の剥離、及びスクラッチは、強誘電体メモリの特性面で、いわゆるビット不良の原因となり、生産歩留まりが低下する。

【 0 0 2 7 】

また、強誘電体メモリは、あるデータを一定期間内保存し、必要なときに読み出す不揮発性メモリであることから、強誘電体メモリセルは均一に作製されていることが好ましい。この観点から、リセスによる強誘電体膜の膜厚のバラツキも

、データの保持信頼性や強誘電体メモリ特性に大きな影響を与えるため、極力なくす必要がある。

【 0 0 2 8 】

また、強誘電体メモリにおいて、メモリセルアレイ部とそれ以外の部分（例えば、FeRAM混載システムLSIでは周辺のロジック回路に相当する。）との間のグローバル段差は、配線工程におけるリソDOF（Depth of Focus [焦点深度] の略）不足につながり、特性面では配線間ショートや配線抵抗のバラツキ等の原因となり、生産歩留まりに直接影響を与える。

【 0 0 2 9 】

本発明の目的は、研磨残り、下部電極の剥離、及びスクラッチの発生がなく、データの保持信頼性が優れたものとなり、メモリ特性が安定する容量素子、及びグローバル段差を低減させ、生産歩留まりが良好となる容量素子の製造方法を提供することにある。

【 0 0 3 0 】

【課題を解決するための手段】

上記目的を達成するため、本発明の容量素子の製造方法は、基板上に、第1の絶縁層を形成し、第1の絶縁層中にコンタクトプラグを形成し、第1の絶縁層とコンタクトプラグの上に、導電層を形成する工程と、その導電層をパターニングして、容量素子用電極を形成する工程と、第1の絶縁層及び容量素子用電極上に第2の絶縁層を形成する工程と、容量素子用電極上の第2の絶縁層に凹部を形成する工程と、第2の絶縁層を研磨して平坦化して容量素子用電極を露出させる工程とを含む。

【 0 0 3 1 】

この構成により、容量素子の製造にあたり、凹部の開口部分、下部電極上における絶縁膜の研磨が省略でき、研磨時間が短縮される。さらに、凹部において、研磨パッドと絶縁膜の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減すること

ができる。

【 0 0 3 2 】

上記目的を達成するため、本発明の容量素子は、基板上に形成された下部電極と、下部電極上に形成された第2の絶縁層と、下部電極が容量規定口になるように下部電極上に形成された上部電極を有する。下部電極は第1の絶縁層中に埋め込まれ、下部電極と第1の絶縁層の表面は研磨されて平坦化され、容量素子を複数個含む容量素子群の面積が $10,000 \sim 100,000 \mu m^2$ である。

【 0 0 3 3 】

この構成により、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【 0 0 3 4 】

また、上記目的を達成するため、本発明の容量素子は、基板上に形成された下部電極と、下部電極上に形成された第2の絶縁層と、下部電極が容量規定口になるように下部電極上に形成された上部電極を有する。下部電極は第1の絶縁層中に埋め込まれ、下部電極と第1の絶縁層の表面は研磨されて平坦化され、容量素子を複数個含んだ容量素子群が形成され、隣接する容量素子群間の間隔が $10 \sim 100 \mu m$ である。

【 0 0 3 5 】

この構成により、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【 0 0 3 6 】

【発明の実施の形態】

本発明によれば、第2の絶縁層に形成された凹部の開口部分、容量素子用電極上における第2の絶縁層の研磨が省略でき、研磨時間が短縮される。さらに、凹部において、研磨パッドと第2の絶縁層の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり

、研磨残り、容量素子用電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【 0 0 3 7 】

ここで、第 2 の絶縁層の凹部を、容量素子用電極上にのみ形成することが好ましい。

【 0 0 3 8 】

この構成により、通常、配線パターン密度が低く、段差緩和が促進される金属配線部において、オーバー研磨による金属配線の剥離を防止でき、また、剥離した金属配線によるスクラッチの発生も抑止できる。

【 0 0 3 9 】

また、導電層の表面が、Pt、Ir、Ru、それら金属の合金膜、又はそれら金属の酸化物であることが好ましい。

【 0 0 4 0 】

この構成により、これらの材料はスクラッチが発生し易いことから、特に本発明の効果が顕著なものとなる。

【 0 0 4 1 】

また、第 2 の絶縁層に凹部を形成するにあたり、ドライエッチングを用いることが好ましい。

【 0 0 4 2 】

この構成により、第 2 の絶縁層において凹部の形成がさらに容易となる。

【 0 0 4 3 】

また、第 2 の絶縁層に形成する凹部の深さを容量素子用電極の膜厚とほぼ同等とすることが好ましい。

【 0 0 4 4 】

この構成により、第 2 の絶縁層の表面と容量素子用電極の表面が同じ高さで平坦になるまで研磨する時間を、ベタ膜の研磨速度で計算して見積もることができる。また、容量素子用電極の配線パターン密度や容量素子を複数個含む容量素子群の面積が研磨時間に与える影響を極力低減することも可能となる。

【 0 0 4 5 】

また、第2の絶縁層に凹部を形成する際に、容量素子用電極を露出させることが好ましい。

【 0 0 4 6 】

この構成により、容量素子用電極上の研磨残りがより確実に解消される。

【 0 0 4 7 】

また、第2の絶縁層の凹部におけるテーパー角を 90° 未満とすることが好ましい。

【 0 0 4 8 】

この構成により、レジストマスクのマスクズレに対するマージンを向上させることができ、容量素子用電極上に凹部をより確実に形成することができる。また、第2の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【 0 0 4 9 】

また、第2の絶縁層を、 SiO_2 を用い、オゾンとTEOSを用いた常圧CVD法で成膜することが好ましい。

【 0 0 5 0 】

この構成により、例えば、成膜にプラズマCVDを用いた場合に、プラズマ中の水素が下容量素子用電極に含まれるPtの触媒作用により下層の酸素バリアを還元させて容量素子用電極にダメージを与える弊害を生じることがなく、かつ、いわゆるセルフフローの効果により、成膜のみで容量素子用電極間における第2の絶縁層の凹部がなだらかになり、段差緩和を促進させることができる。

【 0 0 5 1 】

また、第2の絶縁層における凹部の面積を、その下層の容量素子用電極の面積より大きくすることが好ましい。

【 0 0 5 2 】

この構成により、第2の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【 0 0 5 3 】

また、第2の絶縁層に凹部を形成するにあたり、容量素子用電極上の領域が複数個含まれるようにすることが好ましい。

【 0 0 5 4 】

この構成により、第 2 の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【 0 0 5 5 】

本発明の実施の形態について、以下、図面を参照しながら説明する。

【 0 0 5 6 】

(実施の形態 1)

図 1 に、本実施の形態における強誘電体メモリの製造工程の断面図（メモリセルアレイ部）を示す。以下、図 1 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 0 5 7 】

まず、図 1 (a) に示すように、半導体基板 1 0 上に、分離領域 1 を形成し、分離領域 1 の間に高濃度の不純物拡散層 2 を形成する。そして、分離領域 1 と不純物拡散層 2 の上に、 SiO_2 からなる層間絶縁膜 4 を形成し、層間絶縁膜 4 中に不純物拡散層 2 と電氣的に接続したコンタクトプラグ 3 (タングステン製) を形成する。さらに、層間絶縁膜 4 とコンタクトプラグ 3 の上に、第 1 の導電膜 5 (窒化チタンバリア層 [厚さ: 1 5 0 nm] と白金膜 [厚さ: 1 5 0 nm] の積層体等) を形成する。

【 0 0 5 8 】

次に、第 1 の導電膜 5 上にレジストパターンを形成し、図 1 (b) に示すように、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜 5 をパターンニングし、コンタクトプラグ 3 上に下部電極 6 (高さ: 3 0 0 nm) を形成する。

【 0 0 5 9 】

次いで、図 1 (c) に示すように、下部電極 6 と層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆し、ウエハ全面に埋め込み用の絶縁膜 8 (高さ: 4 0 0 nm) を形成する。このように、CMP による研磨時に段差緩和を促進させるため、下部電極 6 上に絶縁膜 8 の削りしろを形成することが好ましい。

【 0 0 6 0 】

続いて、図 1 (d) に示すように、レジストマスクを用いて下部電極 6 上に開口部を有するレジストパターン 1 1 を形成する。

【 0 0 6 1 】

そして、図 1 (e) に示すように、レジストパターン 1 1 の開口部における絶縁膜 8 の一部をドライエッチングにより除去し、凹部 1 2 を形成する。ここで、凹部 1 2 の深さは、できるだけ深くすることが好ましい。これにより、絶縁膜 8 の研磨量を減らすことができ、また、段差緩和が促進され、配線パターン密度の低い領域との研磨速度との差が小さくなる。

【 0 0 6 2 】

さらに、図 1 (f) に示すように、CMP により、絶縁膜 8 を研磨してその表面を平坦化し、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまで研磨する。

【 0 0 6 3 】

続いて、図示は省略するが、その上に、容量絶縁膜となる強誘電体膜を形成し、さらにその上に、第 2 の導電膜（白金膜等）を形成する。そして、第 2 の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 2 の導電膜と強誘電体膜をそれぞれパターンニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、保護膜形成工程を経て、強誘電体メモリが完成する。

【 0 0 6 4 】

本実施の形態によれば、下部電極 6 上の絶縁膜 8 に凹部 1 2 を形成することにより、凹部 1 2 の開口部分、絶縁膜 8 の研磨が省略でき、研磨時間が短縮される。さらに、凹部 1 2 において、CMP の研磨パッドと絶縁膜 8 の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、さらに、グローバル段差を低減することができる。

【 0 0 6 5 】

（実施の形態 2）

図 2 に、本実施の形態における強誘電体メモリの製造工程を示す。ここで、(A) は、メモリセルアレイ部の断面図を示し、(B) は、金属配線部の断面図を示す。以下、図 2 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。ここで、図 2 (A) における (a) ~ (f) の工程は、図 2 (B) における (a) ~ (f) の工程にそれぞれ対応し、各工程は同時に進行している。

【 0 0 6 6 】

まず、図 2 (a) に示すように、半導体基板 1 0 上のメモリセルアレイ部において、分離領域 1 を形成し、分離領域 1 の間に高濃度の不純物拡散層 2 を形成する。そして、分離領域 1 と不純物拡散層 2 の上に、 SiO_2 からなる層間絶縁膜 4 を形成し、層間絶縁膜 4 中に不純物拡散層 2 と電氣的に接続したコンタクトプラグ 3 (タングステン製) を形成する。さらに、層間絶縁膜 4 とコンタクトプラグ 3 の上に、第 1 の導電膜 5 (窒化チタンバリア層 [厚さ: 150 nm] と白金膜 [厚さ: 150 nm] の積層体等) を形成する。また、半導体基板 1 0 上の金属配線部において、半導体基板 1 0 上に、高濃度の不純物拡散層 2 を形成する。そして、不純物拡散層 2 上に、層間絶縁膜 4 を形成し、層間絶縁膜 4 上に、第 1 の導電膜 5 (窒化チタンバリア層 [厚さ: 150 nm] と白金膜 [厚さ: 150 nm] の積層体等) を形成する。

【 0 0 6 7 】

次に、第 1 の導電膜 5 上にレジストパターンを形成し、図 2 (b) に示すように、メモリセルアレイ部において、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜 5 をパターンニングし、コンタクトプラグ 3 上に下部電極 6 (高さ: 300 nm) を形成する。また、金属配線部において、第 1 の導電膜 5 上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜 5 をパターンニングし、金属配線 7 を形成する。

【 0 0 6 8 】

次いで、図 2 (c) に示すように、メモリセルアレイ部において、下部電極 6 と層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆する。また、金属配線部において、金属配線 7 と層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆し、ウ

エハ全面に埋め込み用の絶縁膜 8（高さ：400 nm）を形成する。このように、CMP による研磨時に段差緩和を促進させるため、下部電極 6 上に絶縁膜 8 の削りしろを形成することが好ましい。

【 0 0 6 9 】

続いて、図 2（d）に示すように、メモリセルアレイ部において、レジストマスクを用いて、下部電極 6 上に開口部を有するレジストパターン 1 1 を形成し、一方、金属配線部において、開口部のないレジストパターン 1 1 a を形成する。

【 0 0 7 0 】

そして、図 2（e）に示すように、レジストパターン 1 1 の開口部における絶縁膜 8 の一部をドライエッチングにより除去し、凹部 1 2 を形成する。ここで、凹部 1 2 の深さは、できるだけ深くすることが好ましい。これにより、絶縁膜 8 の研磨量を減らすことができ、また、段差緩和が促進され、配線パターン密度の低い領域との研磨速度との差が小さくなる。なお、金属配線 7 上の絶縁膜 8 には凹部 1 2 は形成されない。

さらに、図 2（f）に示すように、CMP により、絶縁膜 8 を研磨してその表面を平坦化し、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨する。ここで、図 2（e）に示した工程において、凹部 1 2 の深さを適宜変更すれば、CMP によって、下部電極 6 と金属配線 7 を同等の研磨時間で露出させることができる。なお、金属配線 7 上には凹部 1 2 が形成されていないため、段差緩和が促進されず、図 2（f）に示すように、金属配線 7 上に絶縁膜 8 が残存する場合があるが、これは、強誘電体メモリ特性に影響がないばかりか、むしろ、残存した方が剥離した金属配線 7 によるスクラッチを確実に抑止できるため、好ましい。

【 0 0 7 1 】

続いて、図示は省略するが、その上に、容量絶縁膜となる強誘電体膜を形成し、さらにその上に、第 2 の導電膜（白金膜等）を形成する。そして、第 2 の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 2 の導電膜と強誘電体膜をそれぞれパターンニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、

保護膜形成工程を経て、強誘電体メモリが完成する。

【 0 0 7 2 】

本実施の形態によれば、通常、配線パターン密度が低く、段差緩和が促進される金属配線部において、オーバー研磨による金属配線 7 の剥離を防止でき、また、剥離した金属配線 7 によるスクラッチの発生も抑止できる。

【 0 0 7 3 】

なお、実施の形態 1 と 2 において、絶縁膜 8 は、オゾンと T E O S (Tetra Ethyl Ortho Silicate) を用いた常圧 C V D 法で成膜することが好ましい。これにより、例えば、成膜にプラズマ C V D を用いた場合に、プラズマ中の水素が、下部電極 6 に含まれる P t の触媒作用により下層の酸素バリアを還元させて下部電極 6 にダメージを与える弊害を生じることがなく、かつ、いわゆるセルフフローの効果により、成膜のみで段差緩和を促進させることができる。

【 0 0 7 4 】

また、実施の形態 1 と 2 において、導電層の表面が P t、I r、R u、それら金属の合金膜、又はそれら金属の酸化物である場合は、これらの材料はスクラッチが発生し易いことから、本発明を適用すれば、特にその効果が顕著なものとなる。

【 0 0 7 5 】

また、実施の形態 1 と 2 において、絶縁膜 8 に凹部 1 2 を形成するにあたり、ドライエッチングを用いると、凹部 1 2 の形成がさらに容易となるため、好ましい。ここで、エッチングガスとしては、例えば、A r / C₄F₈ / C H₂F₂ / O₂ の混合ガスを用い、エッチングの条件としては、圧力 5 M t、ソース出力 2 K W、バイアス出力 2 . 2 K W を採用することができる。

【 0 0 7 6 】

(実施の形態 3)

図 3 に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図 3 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 0 7 7 】

まず、図 3 (a) に示すように、半導体基板 1 0 上に、分離領域 1 を形成し、分離領域 1 の間に高濃度の不純物拡散層 2 を形成する。そして、分離領域 1 と不純物拡散層 2 の上に、 SiO_2 からなる層間絶縁膜 4 を形成し、層間絶縁膜 4 中に不純物拡散層 2 と電氣的に接続したコンタクトプラグ 3 (タングステン製) を形成する。さらに、層間絶縁膜 4 とコンタクトプラグ 3 の上に、第 1 の導電膜 (窒化チタンバリア層 [厚さ: 1 0 0 nm] と白金膜 [厚さ: 2 0 0 nm] の積層体等) を形成する。次に、第 1 の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜をパターンニングし、コンタクトプラグ 3 上に下部電極 6 (高さ: 3 0 0 nm) を形成する。

【 0 0 7 8 】

次に、図 3 (b) に示すように、下部電極 6 及び層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆し、ウエハ全面に埋め込み用の絶縁膜 8 (高さ: 4 0 0 nm) を形成する。このように、CMP による研磨時に段差緩和を促進させるため、下部電極 6 上に絶縁膜 8 の削りしろを形成することが好ましい。

【 0 0 7 9 】

次いで、図 3 (c) に示すように、レジストマスクを用いて下部電極 6 上に開口部を有するレジストパターン 1 1 を形成する。

【 0 0 8 0 】

続いて、図 3 (d) に示すように、レジストパターン 1 1 の開口部における絶縁膜 8 の一部をドライエッチングにより除去し、凹部 1 2 を形成する。ここで、凹部 1 2 の深さは、下部電極 6 の膜厚、すなわち CMP により平坦化する段差とほぼ同等の 3 0 0 nm とする。これにより、図中の矢印で示すように、凹部 1 2 の底面の高さと下部電極 6 が形成されていない領域の絶縁膜 8 の高さがほぼ等しくなる。

【 0 0 8 1 】

そして、図 3 (e) に示すように、CMP により、絶縁膜 8 を研磨してその表面を平坦化し、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨する。

【 0 0 8 2 】

本実施の形態によれば、実施の形態 1 及び 2 と同様な効果が得られる上、絶縁膜 8 の表面と下部電極 6 の表面が同じ高さで平坦になるまで研磨する時間を、ベタ膜の研磨速度で計算して見積もることができる。この結果、配線パターン密度やメモリセルアレイ部のアレイ面積が研磨時間に与える影響を極力低減することが可能となる上に、周辺回路部と研磨速度差がなくなるため、グローバル段差を低減することができる。

【 0 0 8 3 】

(実施の形態 4)

図 4 に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図 4 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 0 8 4 】

まず、図 4 (a) に示すように、半導体基板 1 0 上に、分離領域 1 を形成し、分離領域 1 の間に高濃度の不純物拡散層 2 を形成する。そして、分離領域 1 と不純物拡散層 2 の上に、 SiO_2 からなる層間絶縁膜 4 を形成し、層間絶縁膜 4 中に不純物拡散層 2 と電氣的に接続したコンタクトプラグ 3 (タングステン製) を形成する。さらに、層間絶縁膜 4 とコンタクトプラグ 3 の上に、第 1 の導電膜 (窒化チタンバリア層 [厚さ: 1 0 0 nm] と白金膜 [厚さ: 2 0 0 nm] の積層体等) を形成する。そして、第 1 の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第 1 の導電膜をパターニングし、コンタクトプラグ 3 上に下部電極 6 (高さ: 3 0 0 nm) を形成する。

【 0 0 8 5 】

次に、図 4 (b) に示すように、下部電極 6 及び層間絶縁膜 4 をシリコン酸化膜 (SiO_2) で被覆し、ウエハ全面に埋め込み用の絶縁膜 8 (高さ: 4 0 0 nm) を形成する。このように、CMP による研磨時に段差緩和を促進させるため、下部電極 6 上に絶縁膜 8 の削りしろを形成することが好ましい。

【 0 0 8 6 】

次いで、図 4 (c) に示すように、レジストマスクを用いて下部電極 6 上に開口部を有するレジストパターン 1 1 を形成する。

【 0 0 8 7 】

続いて、図 4（d）に示すように、レジストパターン 11 の開口部における絶縁膜 8 の一部を、ドライエッチングにより下部電極 6 が露出するまで除去し、凹部 12 を形成する。

【 0 0 8 8 】

そして、図 4（e）に示すように、CMP により、絶縁膜 8 を研磨してその表面を平滑にし、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨して平坦化する。

【 0 0 8 9 】

本実施の形態によれば、実施の形態 1 及び 2 と同等の効果が得られる上、下部電極 6 の表面が凹部 12 を形成した際に既に露出しているため、下部電極 6 上の研磨残りがより確実に解消される。また、段差のみ平坦化され、通常の CMP のみでは電極が露出しないため、研磨時間を適宜変更すれば、スクラッチの発生をより確実に防止することができる。

【 0 0 9 0 】

（実施の形態 5）

図 5 に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図 5 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 0 9 1 】

ここで、図 5（a）～図 5（c）に示す断面図は、図 4（a）～図 4（c）に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【 0 0 9 2 】

図 5（c）に示す工程に続き、図 5（d）に示すように、レジストパターン 11 の開口部における絶縁膜 8 の一部をドライエッチングにより、形成される凹部 12 のテーパ角（凹部 12 の側壁と凹部の底面がなす角）が 90° 未満になるように除去し、凹部 12 を形成する。ここでは、例えば、アルゴンと酸素からなる混合ガスを用いてドライエッチングをする場合、異方性の高い反応を行うアル

ゴンの量を減らし、等方性の高い化学反応を行う酸素の量を高くすることにより、テーパー角を緩やかな方向へ制御することができる。

【 0 0 9 3 】

そして、図 5 (e) に示すように、CMP により、絶縁膜 8 を研磨してその表面を平滑にし、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨して平坦化する。

【 0 0 9 4 】

本実施の形態によれば、実施の形態 1 及び 2 と同等の効果が得られる上、凹部 1 2 にテーパー角を設けることで、レジストマスクのマスクズレに対するマージンを向上させることができ、下部電極 6 上に凹部 1 2 をより正確に形成することができる。

【 0 0 9 5 】

(実施の形態 6)

図 6 に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図 6 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 0 9 6 】

ここで、図 6 (a) ～図 6 (b) に示す断面図は、図 4 (a) ～図 4 (b) に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【 0 0 9 7 】

図 6 (b) に示す工程に続き、図 6 (c) に示すように、レジストマスクを用いて、開口部の面積が、下部電極 6 の面積より大きくなるように、下部電極 6 上に開口部を有するレジストパターン 1 1 を形成する。

【 0 0 9 8 】

続いて、図 6 (d) に示すように、レジストパターン 1 1 の開口部における絶縁膜 8 の一部をドライエッチングにより除去し、凹部 1 2 を形成する。これにより、凹部 1 2 の面積が、その下層の下部電極 6 の面積より大きくなる。

【 0 0 9 9 】

そして、図 6 (e) に示すように、CMP により、絶縁膜 8 を研磨してその表面を平滑にし、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨して平坦化する。

【 0 1 0 0 】

本実施の形態によれば、実施の形態 1 及び 2 と同等の効果が得られる上、凹部 1 2 の開口部がさらに大きくなり、絶縁膜 8 の研磨量がさらに低減し、研磨時間を短縮することができる。

【 0 1 0 1 】

(実施の形態 7)

図 7 に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図 7 を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【 0 1 0 2 】

ここで、図 7 (a) ～図 7 (b) に示す断面図は、図 4 (a) ～図 4 (b) に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【 0 1 0 3 】

図 7 (b) に示す工程に続き、図 7 (c) に示すように、レジストマスクを用いて、開口部に下部電極 6 上の領域が複数個含まれるように、開口部を有するレジストパターン 1 1 を、強誘電体メモリのセルプレートの方に沿って形成する。

【 0 1 0 4 】

続いて、図 7 (d) に示すように、レジストパターン 1 1 の開口部における絶縁膜 8 の一部をドライエッチングにより除去し、凹部 1 2 を形成する。これにより、凹部 1 2 に下部電極 6 上の領域が複数個含まれるようになる。この際、凹部 1 2 は、下部電極 6 が集積したメモリセルアレイ部等の、配線パターン密度が高く、研磨速度が遅い領域に形成すると、段差緩和が促進されるようになり、好ましい。

【 0 1 0 5 】

そして、図 7 (e) に示すように、CMP により、絶縁膜 8 を研磨してその表面を平坦化し、さらに、絶縁膜 8 と下部電極 6 を両者の表面が面一となるまでオーバー研磨する。

【 0 1 0 6 】

本実施の形態によれば、実施の形態 1 及び 2 と同等の効果が得られる上、凹部 1 2 の開口部がさらに大きくなり、下部電極 6 上の絶縁膜 8 の研磨量が低減し、研磨時間を短縮することができる。

【 0 1 0 7 】

(実施の形態 8)

本実施の形態においては、実施の形態 1 における強誘電体メモリにおいて、メモリセルアレイ部のアレイ面積が、 $10,000 \sim 100,000 \mu\text{m}^2$ のものをを用いる。

【 0 1 0 8 】

図 8 に、アレイ面積 (μm^2) と、下部電極 6 上における絶縁膜の残膜の膜厚又は下部電極 6 の周辺に発生するリセスとの関係を CMP による研磨時間 (30 秒～75 秒) 別に示す。

【 0 1 0 9 】

図 8 より、研磨時間を 30 秒から 75 秒まで変化させると、アレイ面積が $10,000 \mu\text{m}^2$ 及び $100,000 \mu\text{m}^2$ のメモリセルアレイでは、45 秒で下部電極 6 (Pt) が露出することが判る。そして、45 秒を超えると、研磨時間に応じたりセスが発生するが、アレイ面積が $100,000 \mu\text{m}^2$ を超え、 $1,000,000 \mu\text{m}^2$ となると、研磨時間が 45 秒では残膜の膜厚が 40 nm 程度あり、段差緩和が促進されず、下部電極 6 が露出していないことが判る。

【 0 1 1 0 】

本実施の形態によれば、強誘電体メモリにおいて、メモリセルアレイ部のアレイ面積が $10,000 \sim 100,000 \mu\text{m}^2$ であることで、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【 0 1 1 1 】

（実施の形態 9）

本実施の形態においては、実施の形態 1 における強誘電体メモリにおいて、隣接するメモリセルアレイ部間の間隔 S が、 $10 \sim 100 \mu\text{m}$ のものを用いる。

【0 1 1 2】

この間隔 S は、例えば、メモリセルをレイアウトする場合、チップ面積を増大させないため、センスアンプ部等の周辺回路部を適宜組み込むことによって設定することができる。

【0 1 1 3】

図 9 に、研磨時間と下部電極 6 上の絶縁膜の残膜の膜厚との関係を間隔 S 別に示す。図 9 より、間隔 $S = 3.0 \mu\text{m}$ では、ほぼベタ膜の研磨速度で研磨され、段差緩和が殆ど促進されていないが、間隔 $S = 10 \mu\text{m}$ では、それよりさらに広い間隔 $S = 100 \mu\text{m}$ とほぼ同等の段差緩和特性が得られていることが判る。

【0 1 1 4】

本実施の形態によれば、強誘電体メモリにおいて、隣接するメモリセルアレイ部間の間隔 S が、 $10 \sim 100 \mu\text{m}$ であることで、下部電極 6 上において、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【0 1 1 5】

【発明の効果】

本発明によれば、容量素子の製造に当たり、容量素子用電極上の第 2 の絶縁層に凹部が形成されているため、凹部の開口部分、第 2 の絶縁層の研磨が省略でき、研磨時間が短縮される。さらに、容量素子用電極上において、研磨パッドと第 2 の絶縁層の接触面積が大きくなり、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、容量素子用電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 における強誘電体メモリの製造方法を示す断面図

【図 2】 実施の形態 2 における強誘電体メモリの製造方法を示す断面図

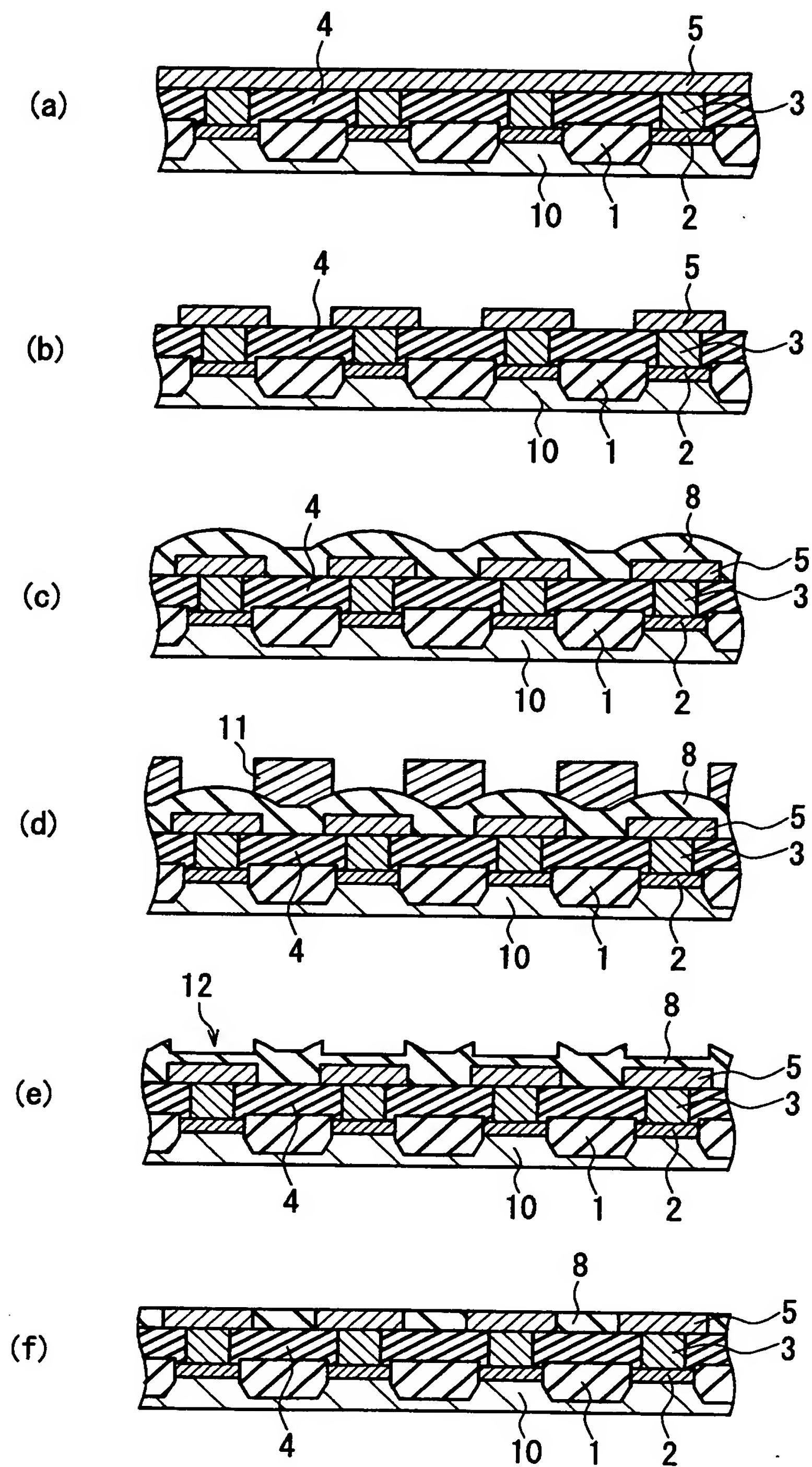
- 【図 3】 実施の形態 3 における強誘電体メモリの製造方法を示す断面図
- 【図 4】 実施の形態 4 における強誘電体メモリの製造方法を示す断面図
- 【図 5】 実施の形態 5 における強誘電体メモリの製造方法を示す断面図
- 【図 6】 実施の形態 6 における強誘電体メモリの製造方法を示す断面図
- 【図 7】 実施の形態 7 における強誘電体メモリの製造方法を示す断面図
- 【図 8】 アレイ面積と、下部電極上の絶縁膜の残膜の膜厚又は下部電極の周辺に発生するリセスとの関係を示すグラフ
- 【図 9】 研磨時間と下部電極上の絶縁膜の残膜の膜厚との関係を示すグラフ
- 【図 10】 従来の強誘電体メモリの製造方法を示す断面図（メモリセルアレイ部）
- 【図 11】 従来の強誘電体メモリの製造方法を示す断面図（金属配線部）
- 【図 12】 アレイ面積の異なるメモリセルアレイ部をCMPにより研磨した状態を示す模式図
- 【図 13】 研磨時間と下部電極上の絶縁膜の残膜の膜厚との関係を示すグラフ

【符号の説明】

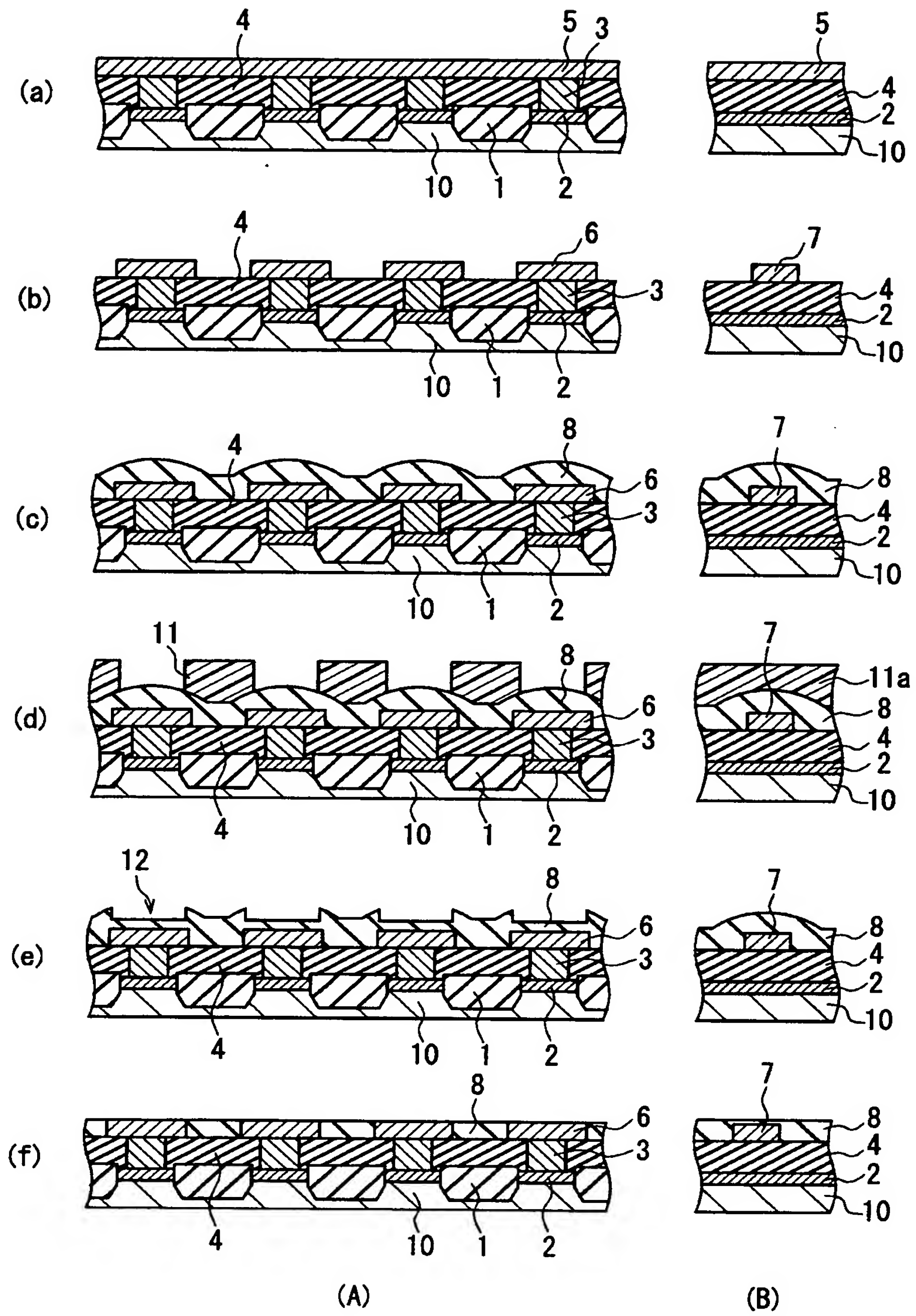
- 1 分離領域
- 2 不純物拡散層
- 3 コンタクトプラグ
- 4 層間絶縁膜
- 5 第 1 の導電膜
- 6 下部電極
- 7 金属配線
- 8 埋め込み用絶縁膜
- 9 容量絶縁膜
- 10 半導体基板
- 11、11a レジストパターン
- 12 凹部
- 20 第 2 の導電膜

【書類名】 図面

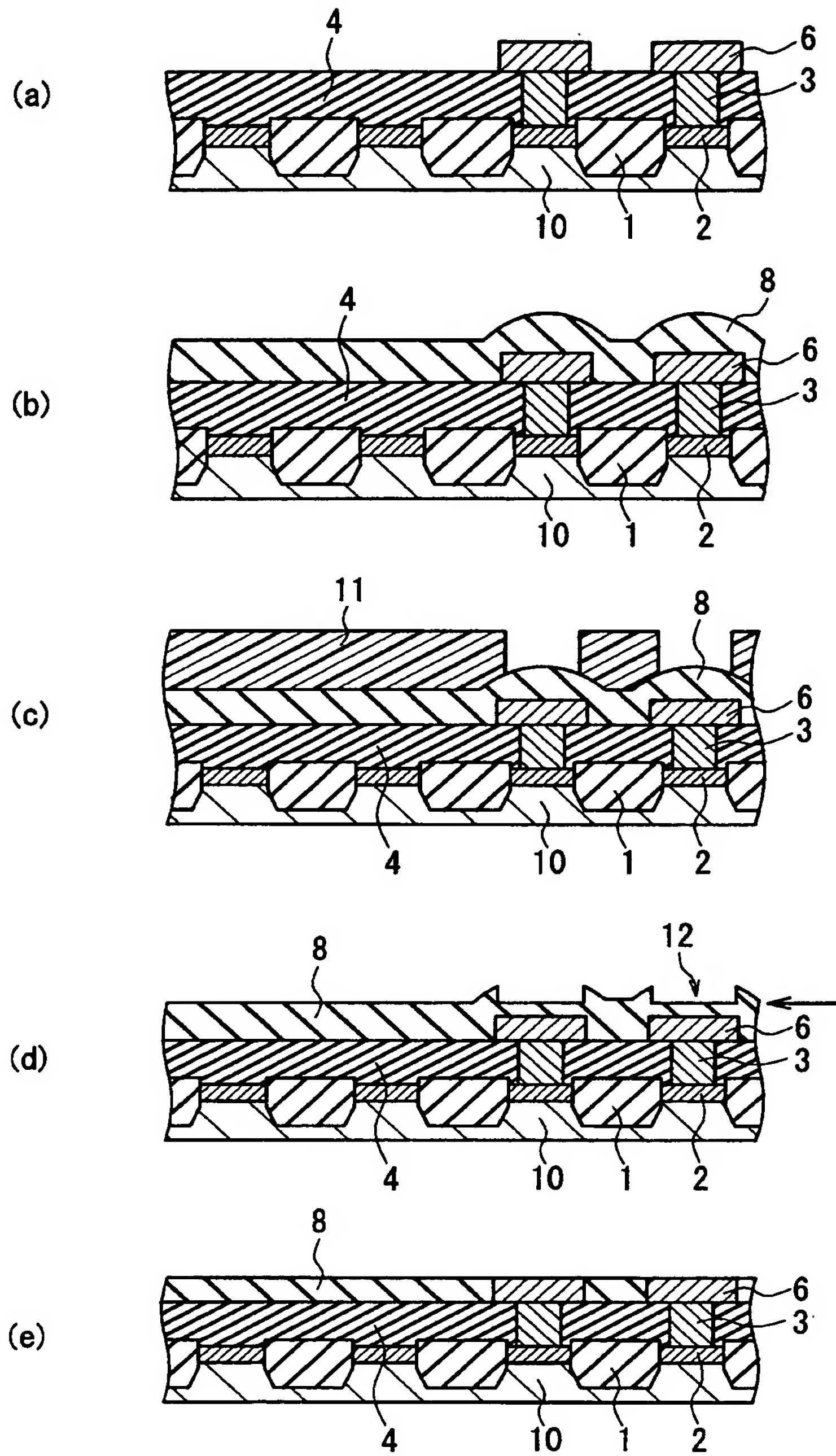
【図 1】



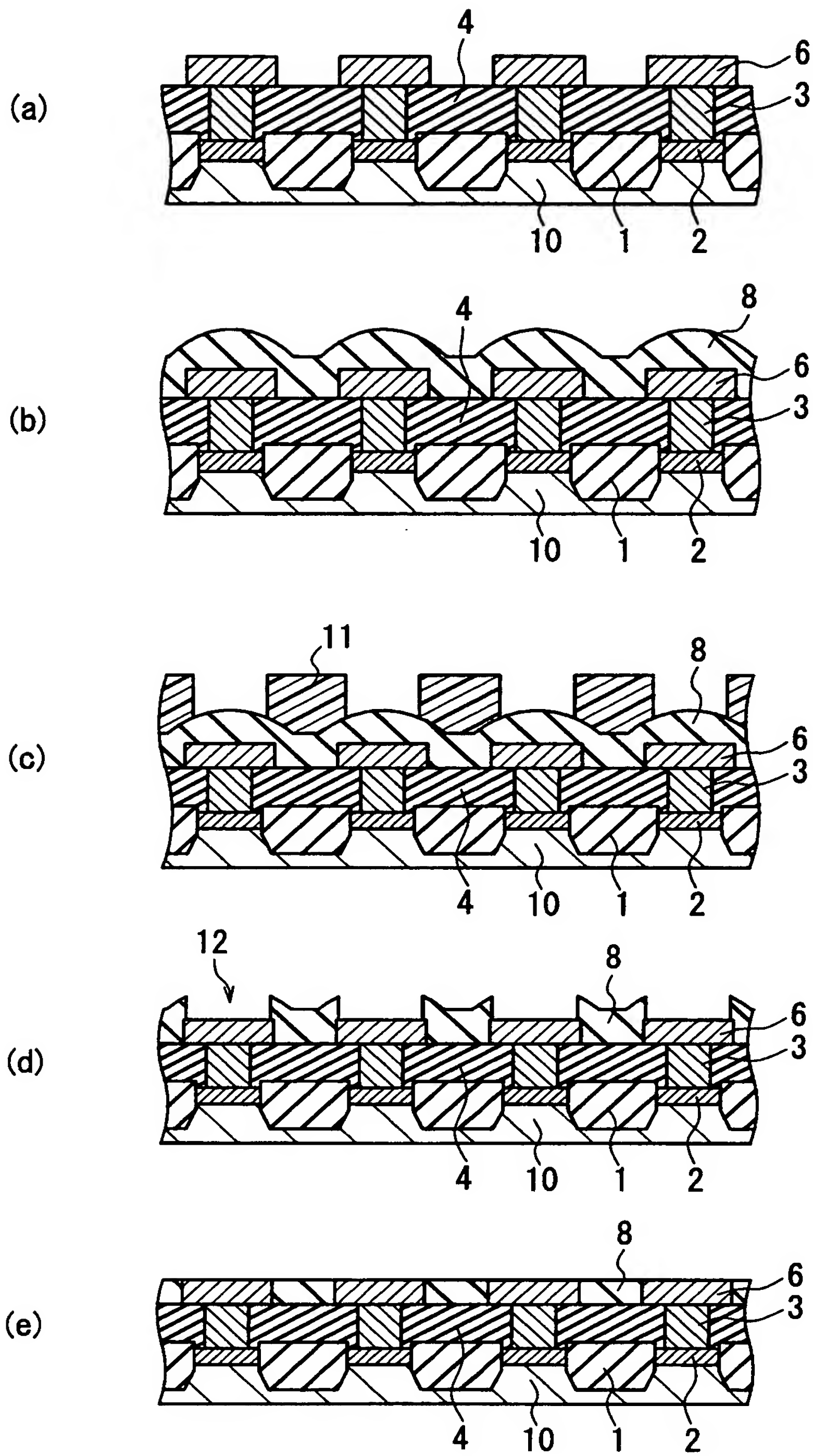
【図 2】



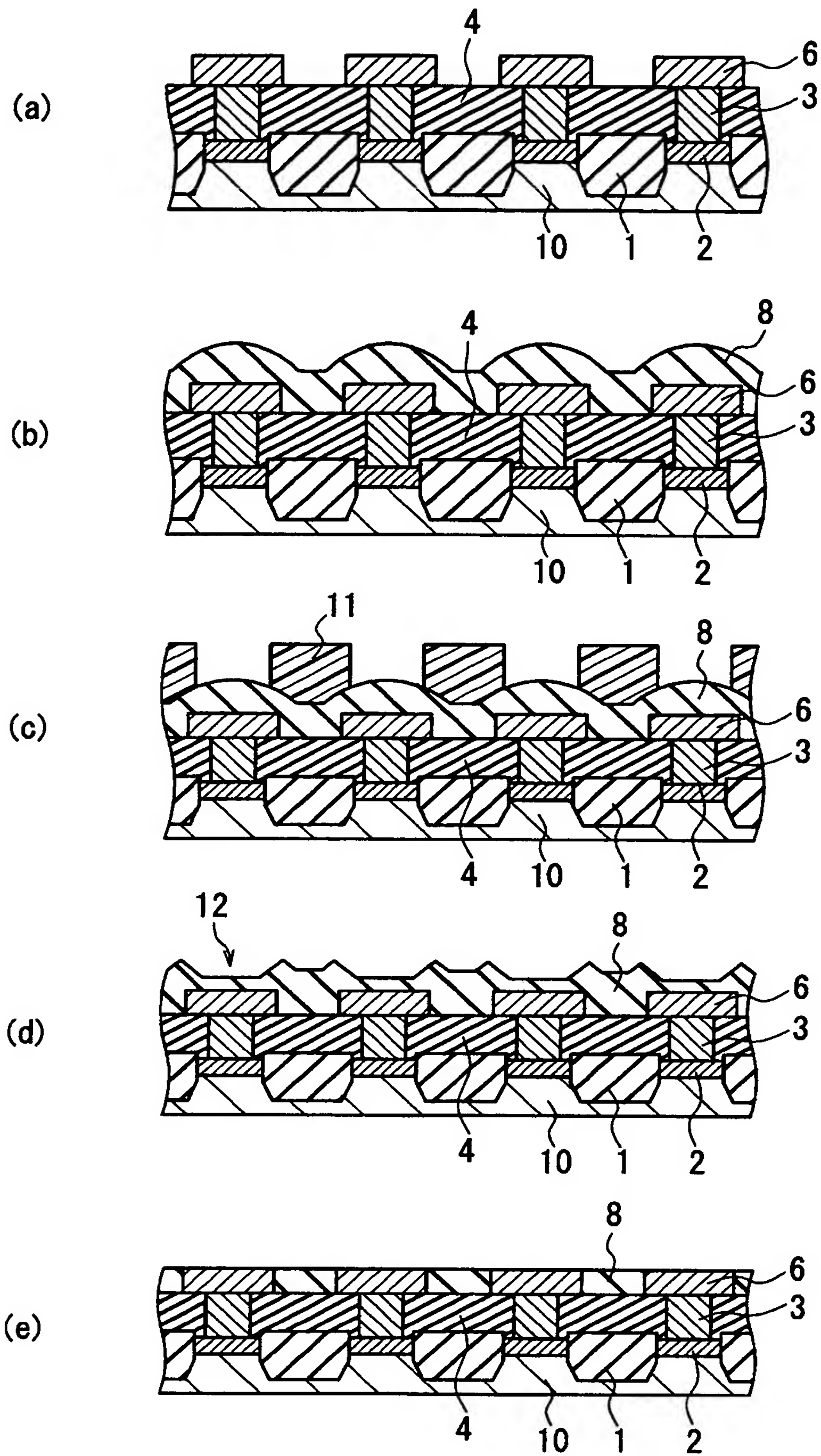
【図 3】



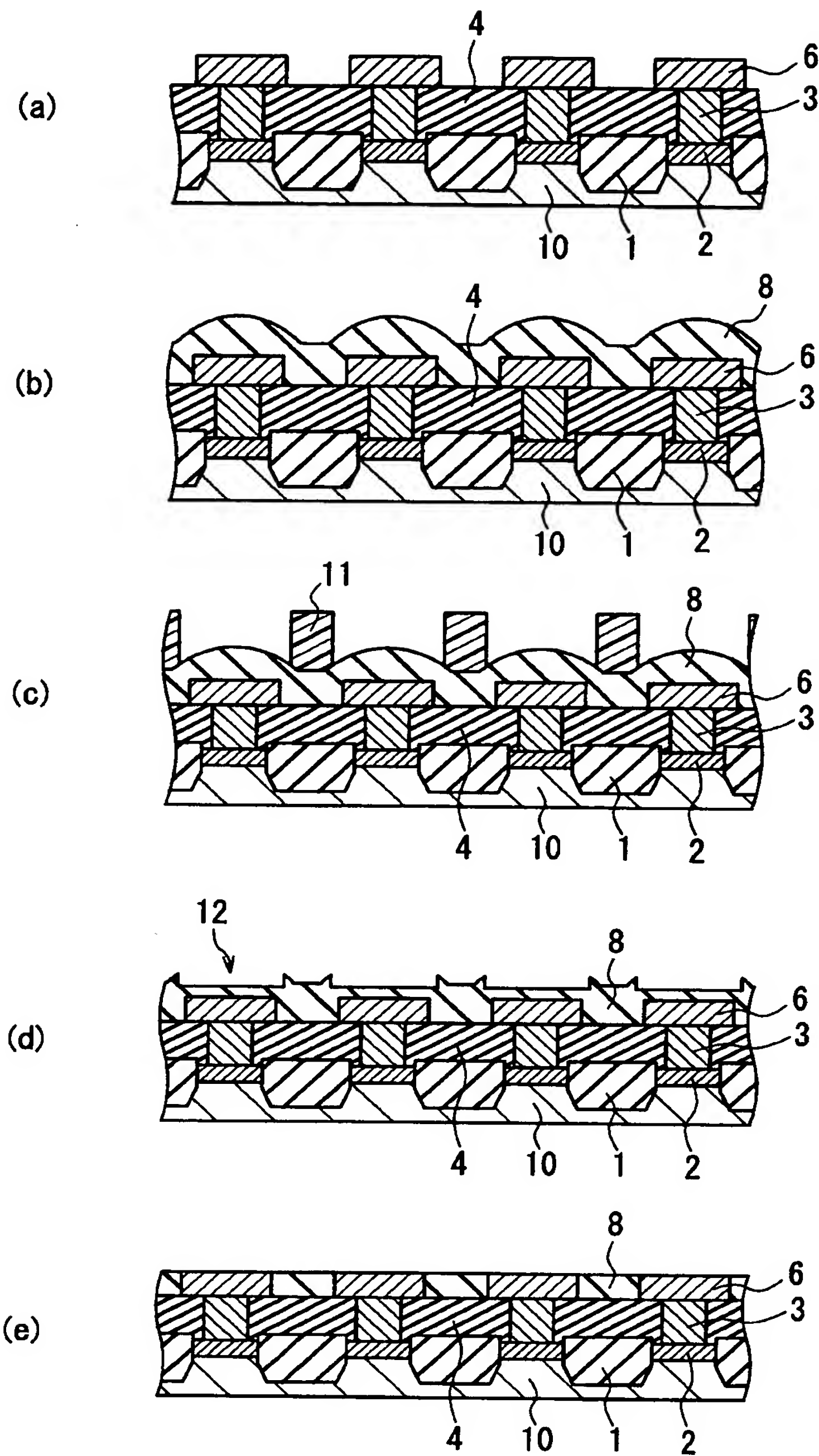
【図 4】



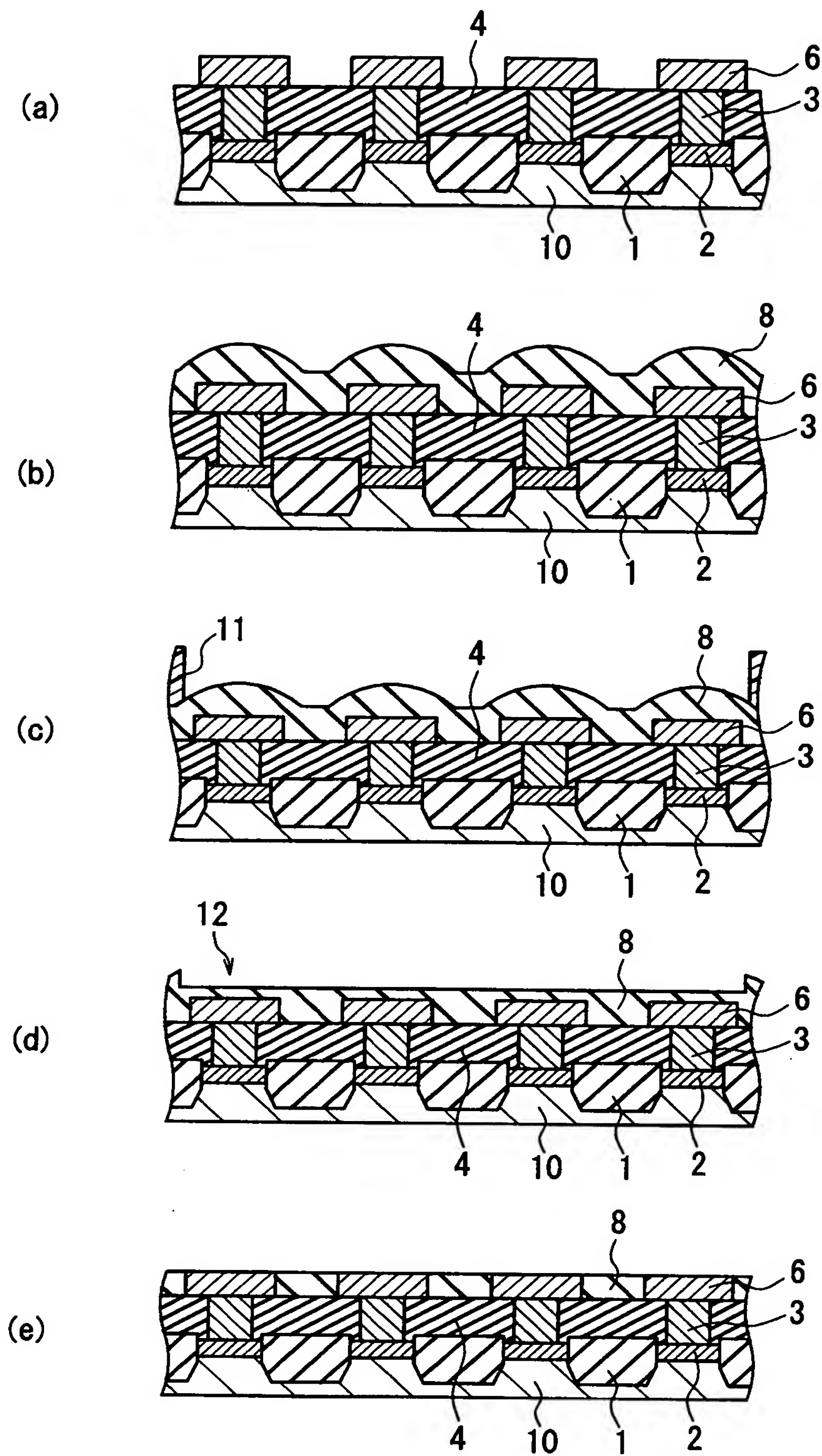
【図 5】



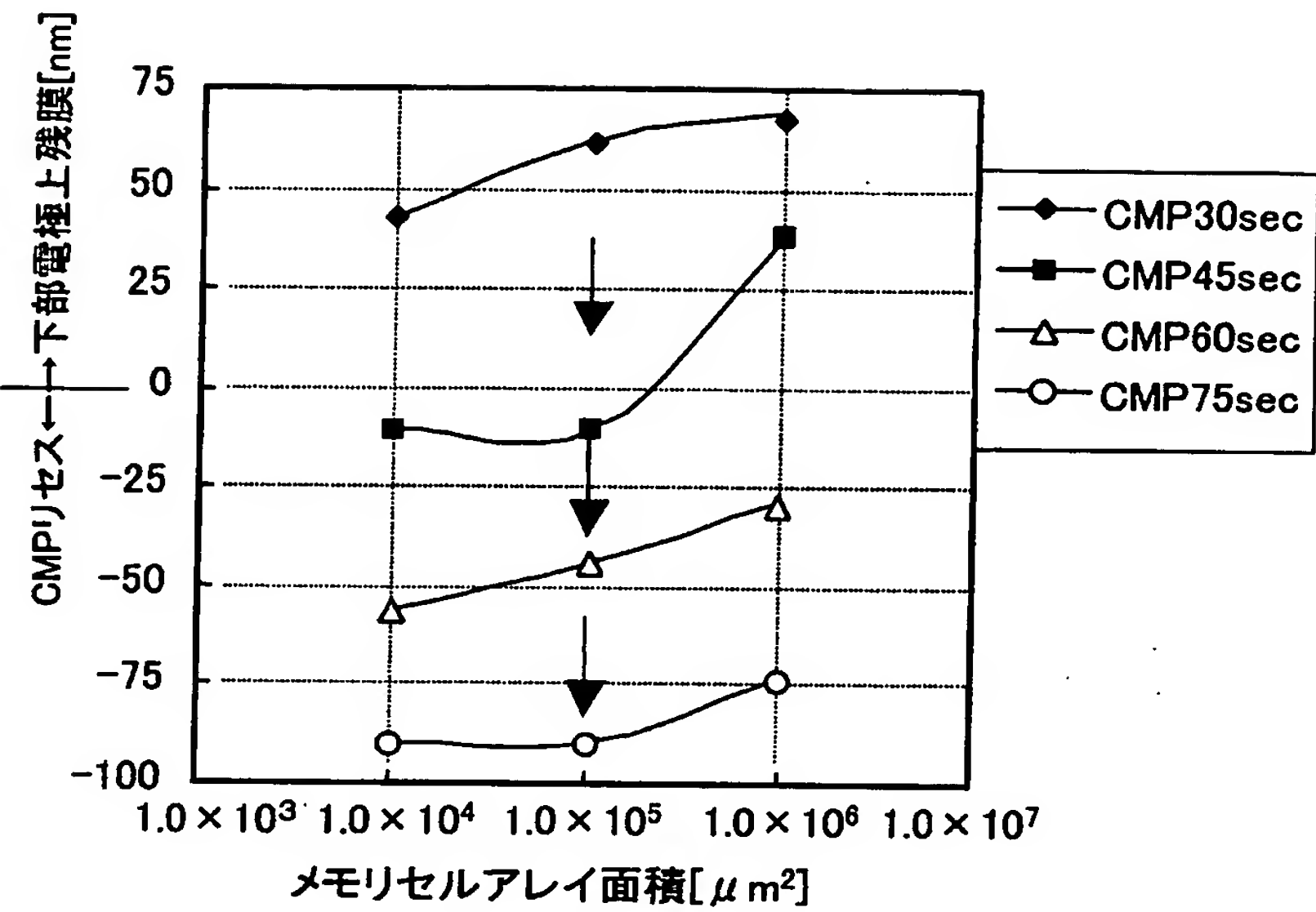
【図 6】



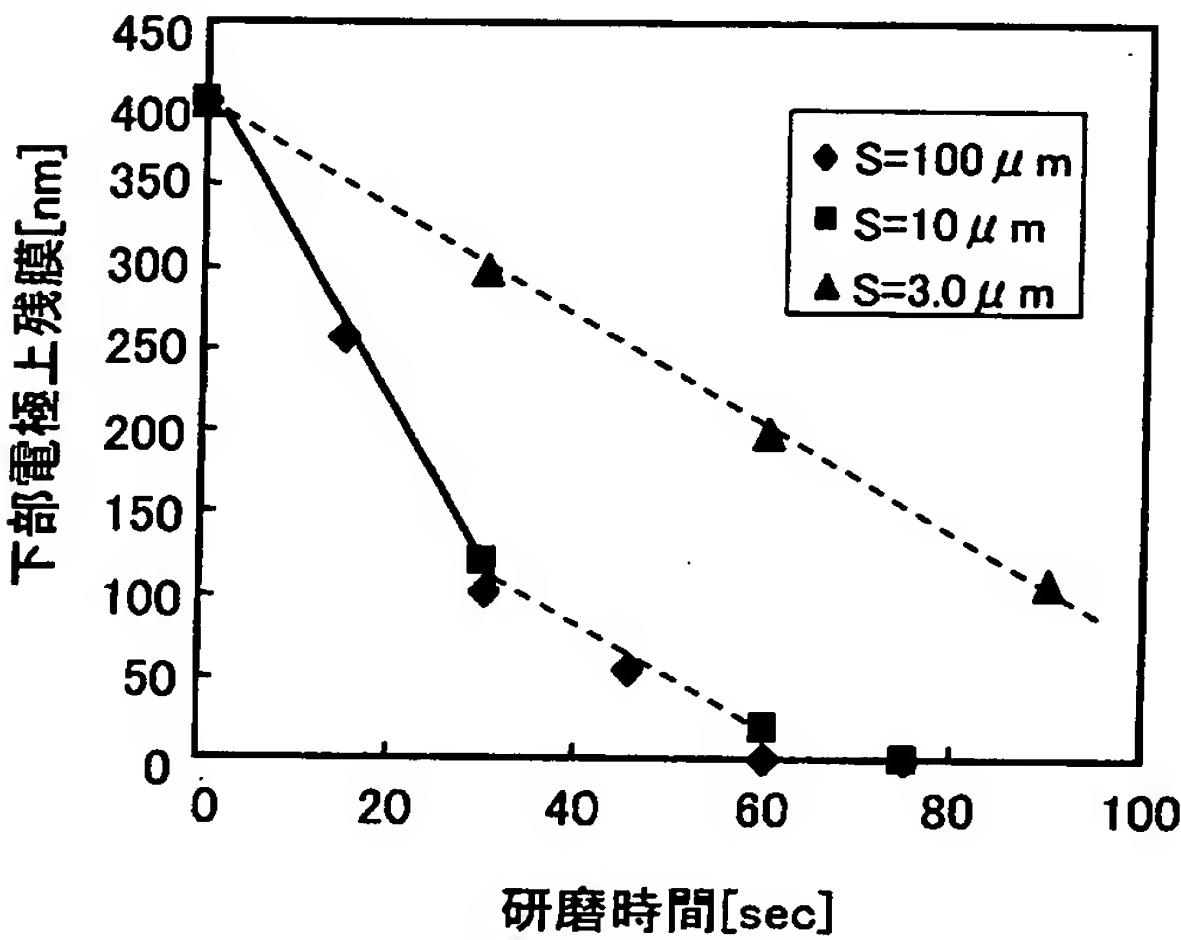
【図 7】



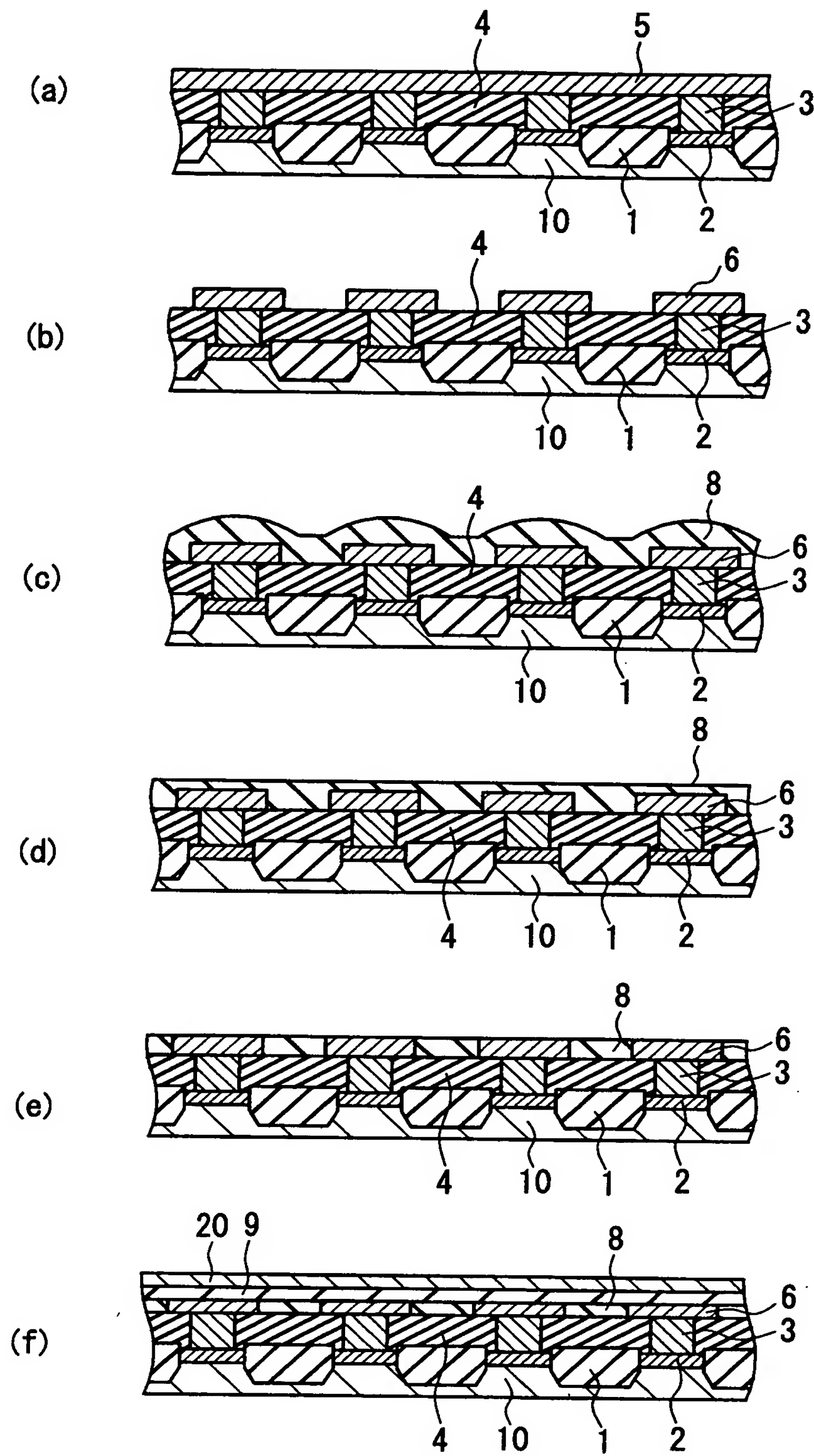
【図 8】



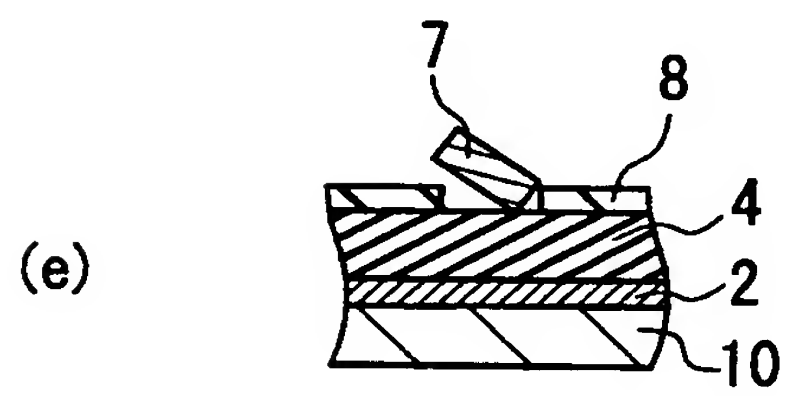
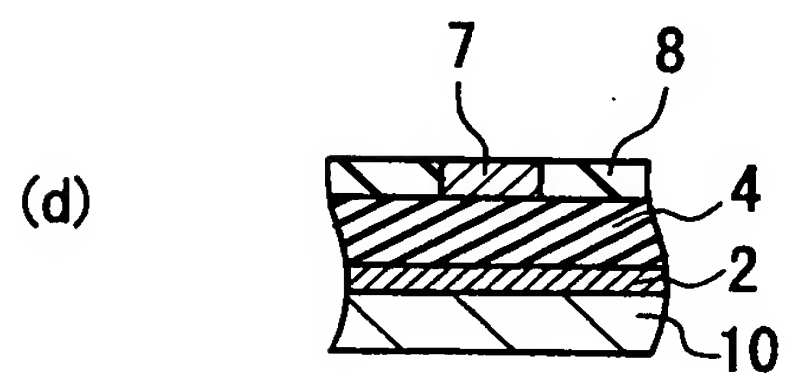
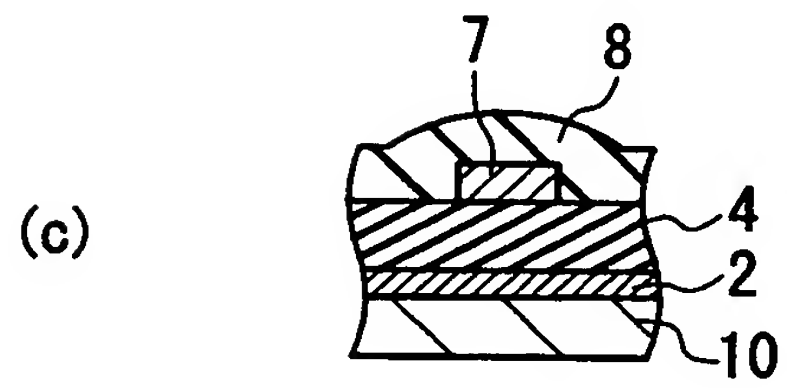
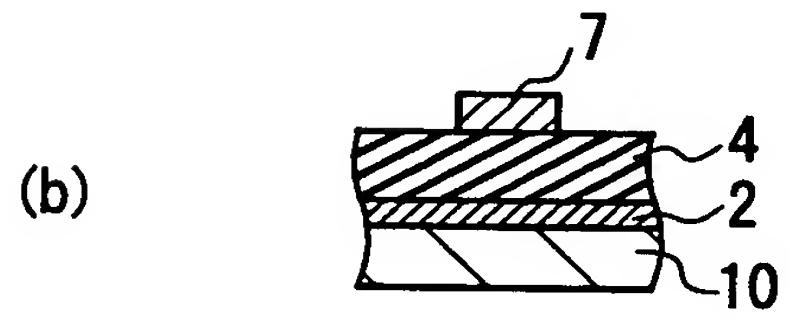
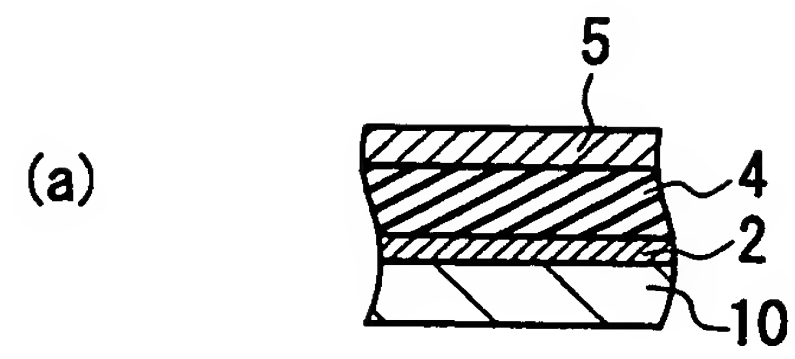
【図 9】



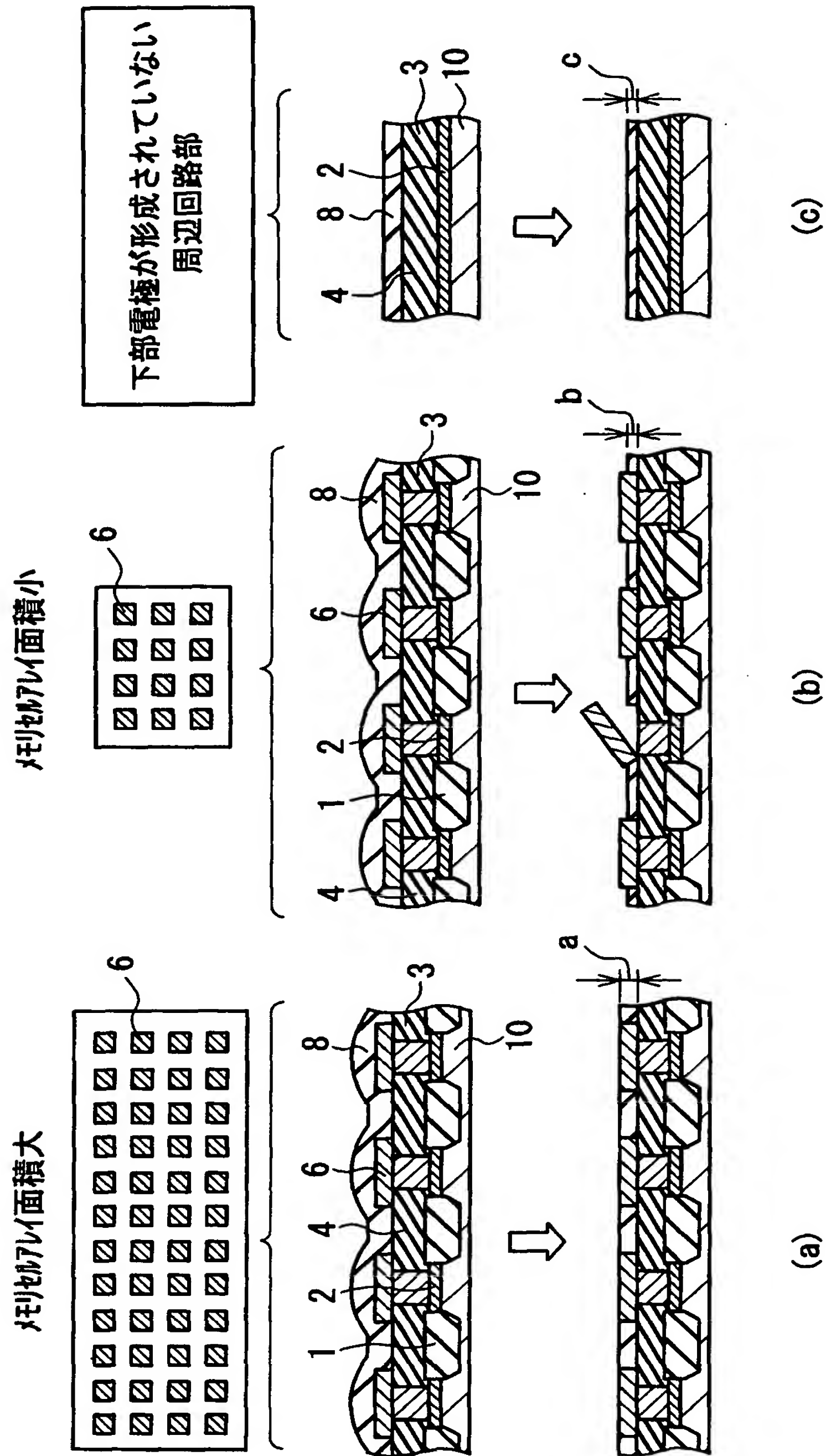
【図 1 0】



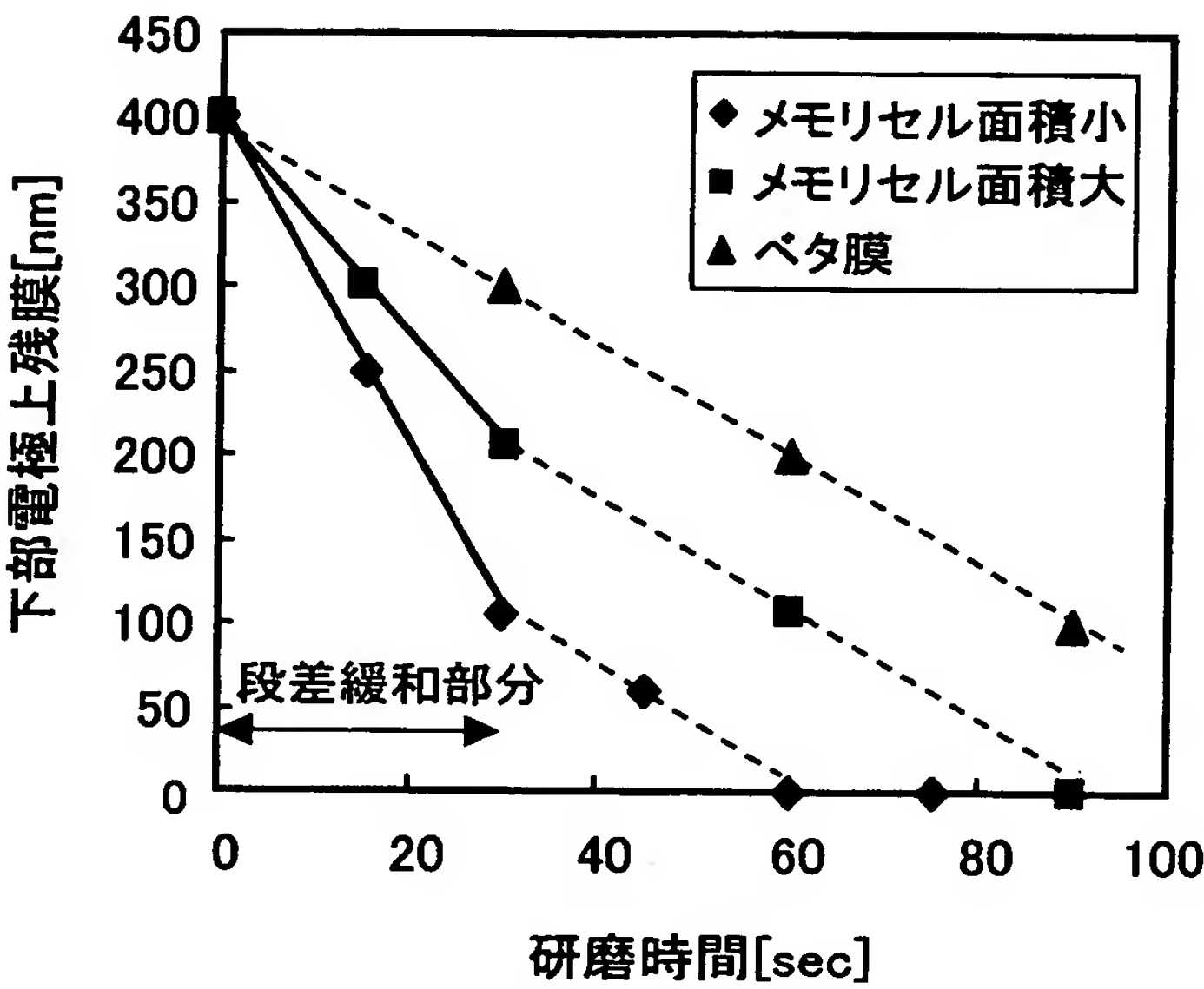
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 研磨残り、下部電極の剥離、及びスクラッチの発生がなく、データの保持信頼性が優れたものとなり、メモリ特性が安定する容量素子、及びグローバル段差を低減させ、生産歩留まりが良好となる容量素子の製造方法を提供する。

【解決手段】 基板 1 0 上に、第 1 の絶縁層 1 を形成し、第 1 の絶縁層 1 中にコンタクトプラグ 3 を形成し、第 1 の絶縁層 1 とコンタクトプラグ 3 の上に、導電層 5 を形成する工程と、導電層 5 をパターニングして、容量素子用電極 6 を形成する工程と、第 1 の絶縁層 1 及び容量素子用電極 6 上に第 2 の絶縁層 8 を形成する工程と、容量素子用電極 1 上の第 2 の絶縁層 8 に凹部 1 2 を形成する工程と、第 2 の絶縁層 8 を研磨して平坦化して容量素子用電極 6 を露出させる工程とを含む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社